

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-082110

(43)Date of publication of application : 12.04.1988

(51)Int.Cl.

H03G 3/10

(21)Application number : 61-227366

(71)Applicant : SONY CORP

(22)Date of filing : 26.09.1986

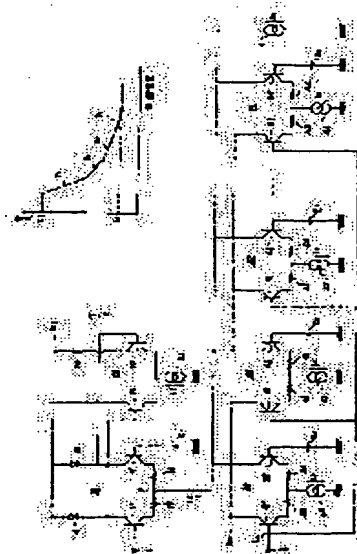
(72)Inventor : ISOGAWA TOSHIKI
KURODA OSAMU
KAWAI RIYUICHIROU

(54) GAIN CONTROL AMPLIFIER

(57)Abstract:

PURPOSE: To allow the gain to be changed linearly with respect to a control voltage by connecting plural differential amplifiers whose operating points differ from each other in parallel.

CONSTITUTION: A variable power source is constituted by connecting plural differential amplifiers 30, 40, 50 ...N whose operating points $E_3 \sim E_5 \dots E_N$ differ from each other in parallel. That is, resistances $R_{e3} \sim R_{e5} \dots R_{eN}$, of emitter resistors in pairs of the differential amplifiers 30, 40, 50 ...N, currents $I_3 \sim I_5 \dots I_N$ of each constant current source, and voltages $E_3 \sim E_5 \dots E_N$ of each bias power supply are selected properly such as $I_3 R_{e3} < I_4 R_{e4} < I_5 R_{e5} < \dots < I_N R_{eN}$, $E_3 < E_4 < E_5 < \dots < E_N$. Thus, the control characteristic of the operating current I_1 of the 1st stage amplifier 10 is expressed as polygonal lines $I_3 \sim I_n$ along with a parabolic curve. Thus, the control characteristic of the gain with respect to a control voltage E_c is linear and the control sensitivity is constant independently of the increased/decreased gain.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-82110

⑬ Int. Cl.⁴

H 03 G 3/10

識別記号

庁内整理番号

B-7827-5J

⑭ 公開 昭和63年(1988)4月12日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 利得制御増幅器

⑯ 特 願 昭61-227366

⑰ 出 願 昭61(1986)9月26日

⑱ 発 明 者	五十川 俊明	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	黒 田 修	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	川 居 龍一郎	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑳ 代 理 人	弁理士 伊藤 貞	外1名	

明 細 書

発明の名称 利得制御増幅器

特許請求の範囲

可変電流源を有する利得制御増幅器において、
上記可変電流源がそれぞれの動作点を異ならせ
た複数の差動増幅器を並列に接続して構成される
ことを特徴とする利得制御増幅器。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、可変電流源を有する利得制御増幅器
に関する。

〔発明の概要〕

本発明は、可変電流源を有する利得制御増幅器
において、それぞれ動作点を異ならせた複数の差
動増幅器を並列に接続することにより、制御電圧
に対して利得が直線的に変化するようにしたもの
である。

〔従来の技術〕

(1)

従来の利得制御増幅器は、例えば、第4図に示
すように構成されていた。

第4図において、①、②は差動増幅器であつて、
信号入力端子(1)が初段差動増幅器①の一方のトラ
ンジスタ③のベースに接続され、他方のトランジ
スタ④のベースには動作点設定用のバイアス電源
E₁が接続される。両トランジスタ③及び④の各エ
ミッタに抵抗器⑤及び⑥が接続され、各コレクタ
にはダイオード⑦及び⑧を介して電源V_{cc}が供給
される。両トランジスタ③及び④の各コレクタは
次段増幅器⑨のトランジスタ⑩及び⑪のベースに
それぞれ接続され、両トランジスタ⑩及び⑪のエ
ミッタは共通の定電流源⑫を介して接地される。
一方のトランジスタ⑩のコレクタは電源V_{cc}に直
接に接続され、他方のトランジスタ⑪のコレクタ
は、負荷抵抗器⑬を介して電源V_{cc}に接続される
と共に、出力端子(2)に接続される。

④は可変電流源としての差動増幅器であつて、
制御入力端子(3)が一方のトランジスタ③のベース
に接続され、他方のトランジスタ④のベースには

(2)

バイアス電源 E_3 が接続される。トランジスタ 31 及び 32 の各エミッタは抵抗器 43 及び 44 を介して共通の定電流源 45 に接続される。一方のトランジスタ 31 のコレクタは電源 V_{cc} に直接に接続され、他方のトランジスタ 32 のコレクタが初段増幅器 40 の両エミッタ抵抗器 43 及び 44 の接続中点 P に接続される。また、この接続中点 P は定電流源 45 を介して接地される。

初段及び次段の差動増幅器 40 及び 41 の動作電流をそれぞれ I_1 及び I_2 とし、両エミッタ抵抗器 43 及び 44 の抵抗値を共に R_{e1} とし、負荷抵抗器 46 の抵抗値を R_L とするとき、信号入力端子 (1) から出力端子 (2) までの利得 G は次の (1) 式のように表わされる。

$$G = \frac{R_L}{2R_{e1}} \cdot \frac{I_2}{I_1} \quad \dots\dots (1)$$

〔発明が解決しようとする問題点〕

ところで、第 4 図から明らかなように、初段増幅器 40 の動作電流 I_1 は定電流源 45 の電流 I_0 と、可

(3)

題があつた。

かかる点に鑑み、本発明の目的は、制御電圧に対して利得が直線的に変化するような利得制御増幅器を提供するところにある。

〔問題点を解決するための手段〕

本発明は、可変電流源を有する利得制御増幅器において、可変電流源がそれぞれの動作点 $E_3, E_4, E_5 \dots E_N$ を異ならせた複数の差動増幅器 40, 41, 50 $\dots N$ を並列に接続して構成される利得制御増幅器である。

〔作用〕

かかる本発明によれば、増幅器の利得が制御電圧に対して直線的に制御される。

〔実施例〕

以下、第 1 図～第 3 図を参照しながら、本発明による利得制御増幅器の一実施例について説明する。

(5)

定電流源 45 の他方のトランジスタ 32 のコレクタ電流 I_{32} との和である。そして、このコレクタ電流 I_{32} は、バイアス電源 E_3 の電圧と端子 (3) から供給される制御電圧 E_c とに応じて、定電流源 45 の電流 I_3 が分流されたものであつて、最大値の I_3 から最小値の零まで直線的に変化する。従つて、初段増幅器 40 の動作電流 I_1 は、第 5 図に示すように、制御電圧 E_c の増大に伴つて、最大値 $I_0 + I_3$ から最小値 I_0 まで直線的に変化する。

ところが、前出 (1) 式に示すように、第 4 図の利得制御増幅器の利得 G は初段増幅器 40 の動作電流 I_1 に反比例するため、制御電圧 V_c に対する利得の特性は第 6 図に示すような双曲線となり、高利得の部分で特性曲線の傾斜が急になる。これは高利得の部分で制御感度が高いことを意味し、このため、第 4 図の利得制御増幅器は高利得時に制御が難しくなるという問題があつた。

また、このような利得制御増幅器をコンパレータ及び D-A 変換器等と共に用いる場合には、高利得時にビット誤差が大きくなつてしまうという問

(4)

本発明の一実施例の構成を第 1 図に示す。この第 1 図において、第 4 図に対応する部分には同一の符号を付して重複説明を省略する。

第 1 図において、40, 50 $\dots N$ はそれぞれ差動増幅器であつて、差動増幅器 40 と同様に構成される。端子 (3) からの制御電圧 E_c が各差動増幅器 40, 41, 50 $\dots N$ の各一方のトランジスタ 31, 41, 51 $\dots N1$ のベースに共通に供給されると共に、各他方のトランジスタ 32, 42, 52 $\dots N2$ のベースにはそれぞれ異なるバイアス電源 $E_3, E_4, E_5 \dots E_N$ が接続される。各一方のトランジスタ 31 $\dots N1$ のコレクタが電源 V_{cc} に直接に接続されると共に、各他方のトランジスタ 32 $\dots N2$ のコレクタが初段増幅器 40 のエミッタ抵抗器 43 及び 44 の接続中点 P に接続される。各差動増幅器 40, 50 $\dots N$ の 1 対のエミッタ抵抗器 43, 44; 53, 54; \dots (N3), (N4) はそれぞれ共通の定電流源 45, 45 $\dots N5$ に接続される。その余の構成は第 4 図の従来例と同様である。

本実施例において、可変電流源を構成する各差動増幅器 40, 41, 50 $\dots N$ の各 1 対のエミッタ抵抗器の

(6)

抵抗値 $R_{03}, R_{04}, R_{05} \dots R_{0n}$ 、各定電流源の電流値 $I_3, I_4, I_5 \dots I_n$ 及び各バイアス電源の電圧値 $E_3, E_4, E_5 \dots E_n$ を、例えば

$$I_3 R_{03} < I_4 R_{04} < I_5 R_{05} < \dots < I_n R_{0n} \dots (2)$$

$$E_3 < E_4 < E_5 < \dots < E_n \dots (3)$$

のように適宜設定することにより、制御電圧 E_0 に対する初段増幅器(1)の動作電流 I_1 の制御特性が、第2図に示すように、双曲線状の折線 $L_3 \sim L_n$ となる。

前述のように、信号入力端子(1)から出力端子(2)までの利得 G は初段増幅器(1)の動作電流 I_1 に反比例するから、本実施例における制御電圧 E_0 に対する利得の制御特性は、第3図に示すように、直線的になり、利得の高低に拘らず、その制御感度は一定となる。

〔発明の効果〕

以上詳述のように、本発明によれば、それぞれ動作点を異ならせた複数の差動増幅器を並列に接続して、電流制御特性が双曲線状の可変電流源を

(7)

構成したので、利得制御特性が直線的な利得制御増幅器を得ることができる。

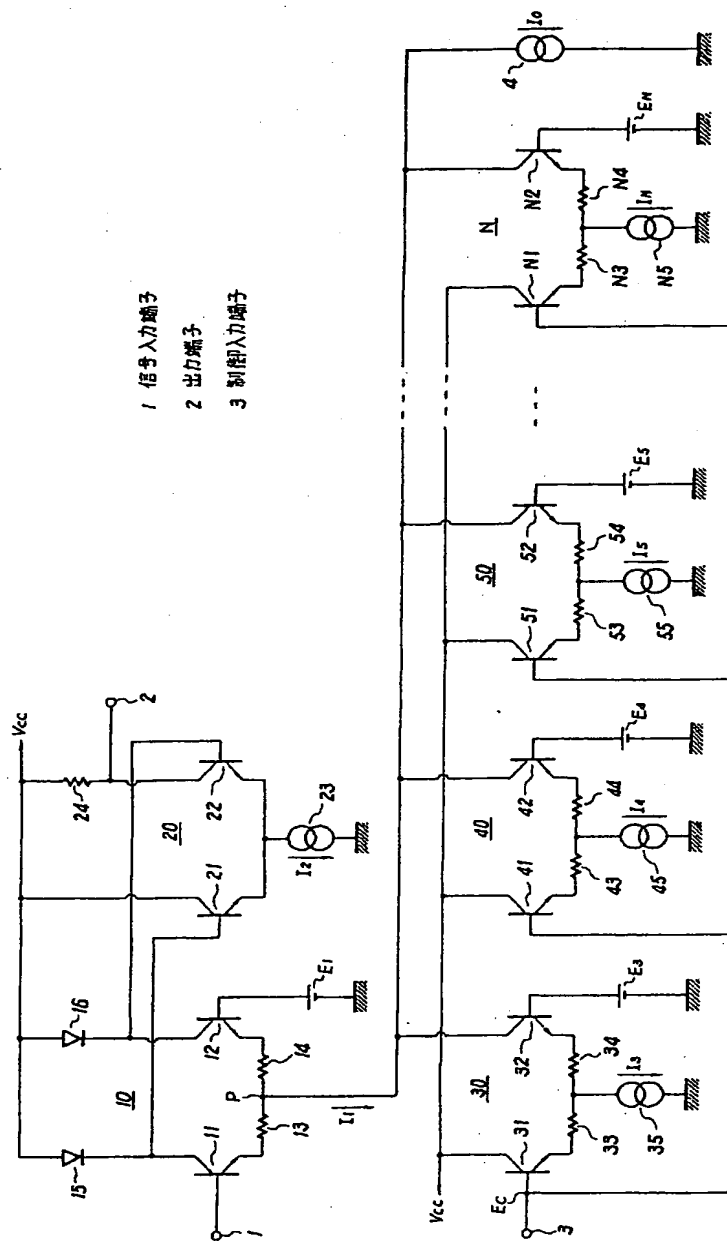
図面の簡単な説明

第1図は本発明による利得制御増幅器の一実施例の構成を示す結線図、第2図及び第3図は本発明の一実施例の動作を説明するための線図、第4図は従来の利得制御増幅器の構成例を示す結線図、第5図及び第6図は従来例の動作を説明するための線図である。

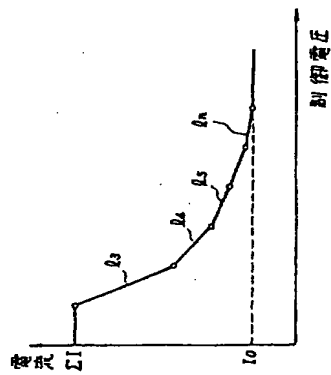
(4), (4), (4) $\dots N$ は可変電流源としての差動増幅器、 $E_3, E_4, E_5 \dots E_n$ はバイアス電源である。

代理人 伊藤 貞
同 松 原 秀 盛

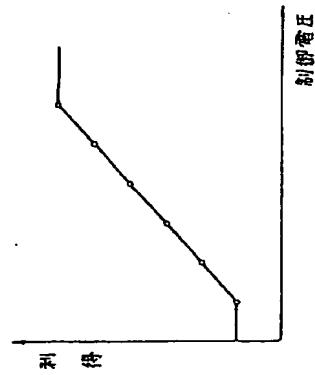
(8)



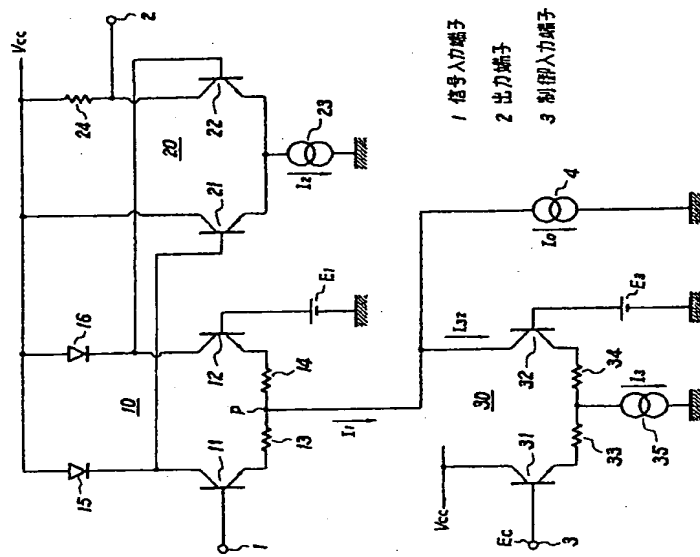
-実施例
第1図



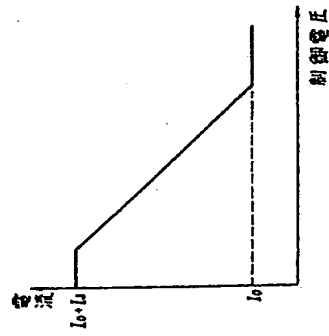
一実施例の電流制御特性
第2図



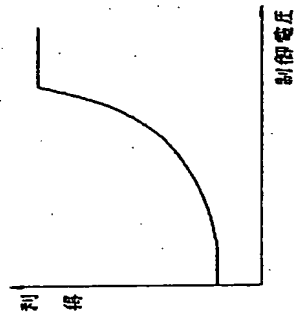
一実施例の利得制御特性
第3図



従来例
第4図



従来例の電流制御特性
第5図



従来例の利得制御特性
第6図